

A1100 VME module
Lupo
(Logic Unit for Programmable Operation)
User's Manual

Rev. 1.0

September 14, 2009

Melex

目次

1. 概要	1
2. ブロック図	1
3. フロントパネル	2
4. スイッチの設定	3
4.1 VME Base Address	3
4.2 Vector Address	3
4.3 IRQ Level	3
5. User Program FPGA のピンアサイン	4
6. リード、ライトタイミング	7
6.1 リード・タイミング	7
6.2 ライト・タイミング	7

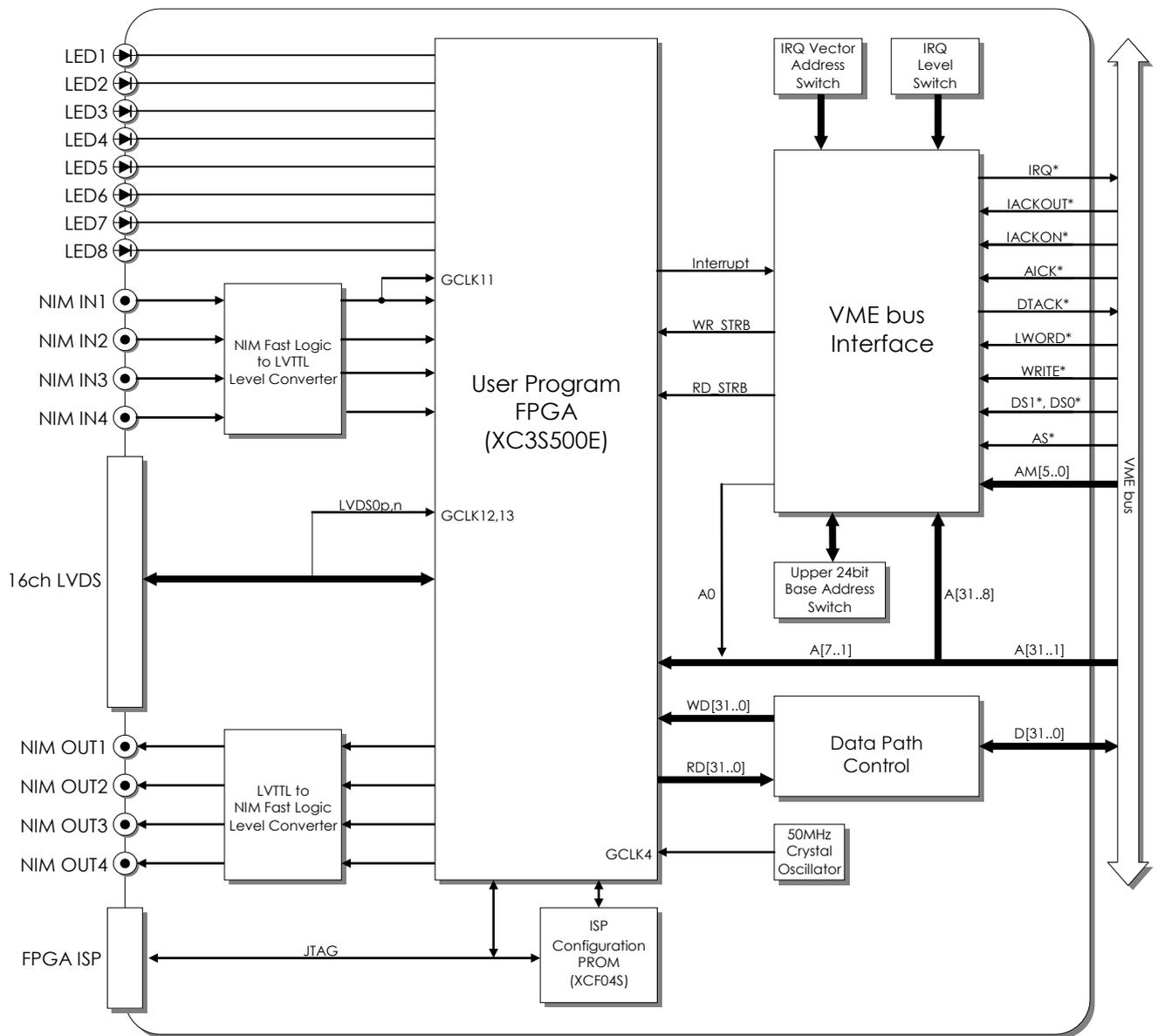
1. 概要

ユーザの所望する任意の論理回路をプログラム可能な FPGA、およびそれと VME バスとのインターフェースを行う回路で構成される 6U、1 幅サイズの再構築可能論理信号処理 VME モジュールです。

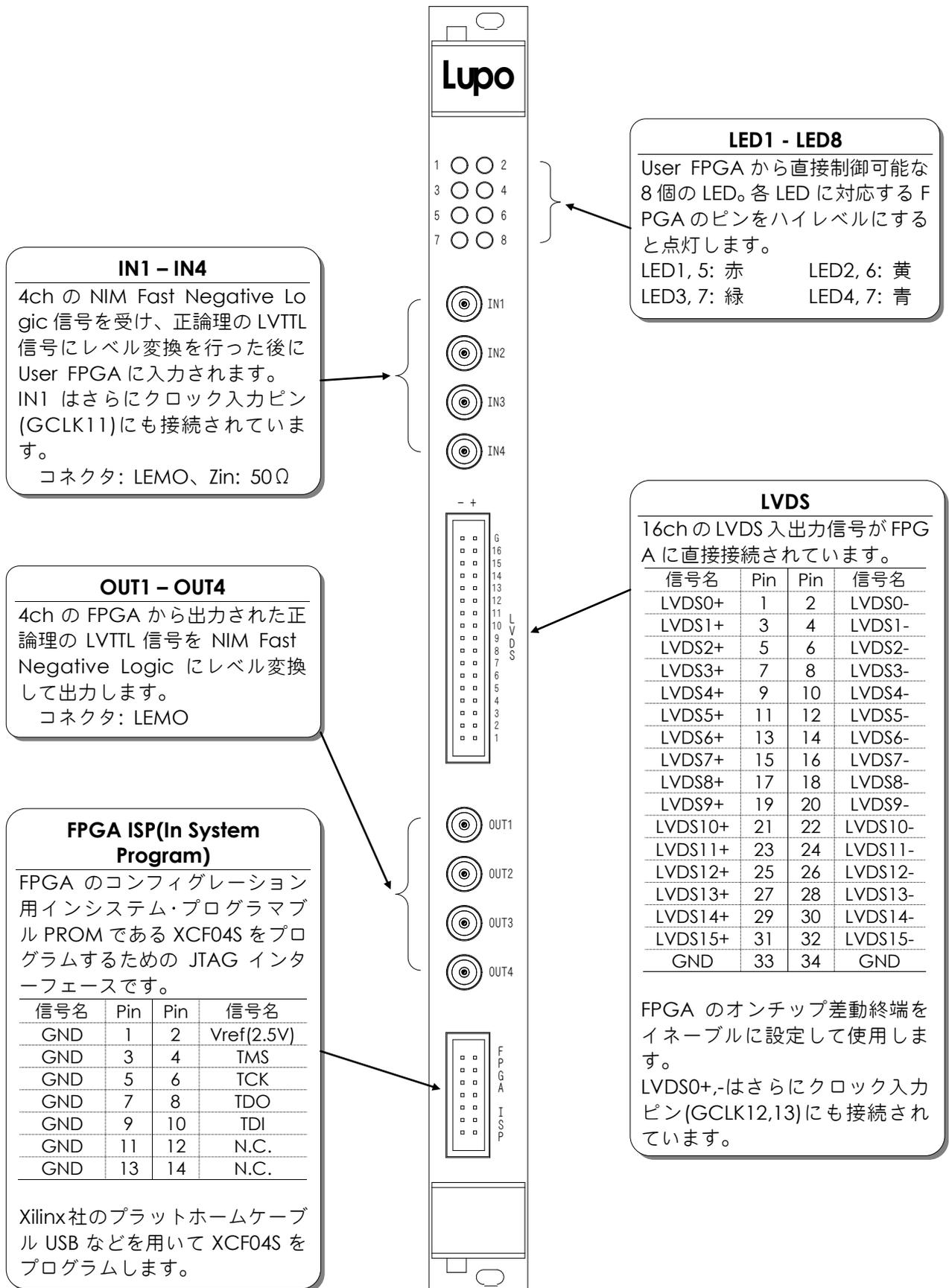
FPGA にはゲート数 500K、RAM360K、4 個のクロックマネージャを持つ Xilinx 社の XC3S500E を採用し、4ch の NIM 信号入力、4ch の NIM 信号出力、16ch の LVDS 信号入出力、8 個の LED からなる I/O ハンドリング論理回路をプログラムするには十分な回路規模を備えています。

VME バス・インターフェースは A32、D32 のデータ転送機能と一つの割り込み要求を発生するインタラプタをサポートしています。

2. ブロック図



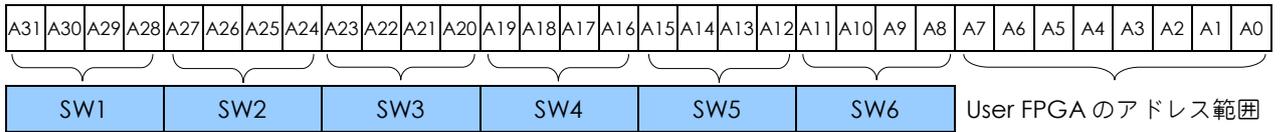
3. フロントパネル



4. スイッチの設定

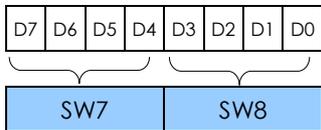
4.1 VME Base Address

User FPGA に割り当てられている下位 8 ビット アドレス範囲のベース・アドレスを設定します。



4.2 Vector Address(Status/ID)

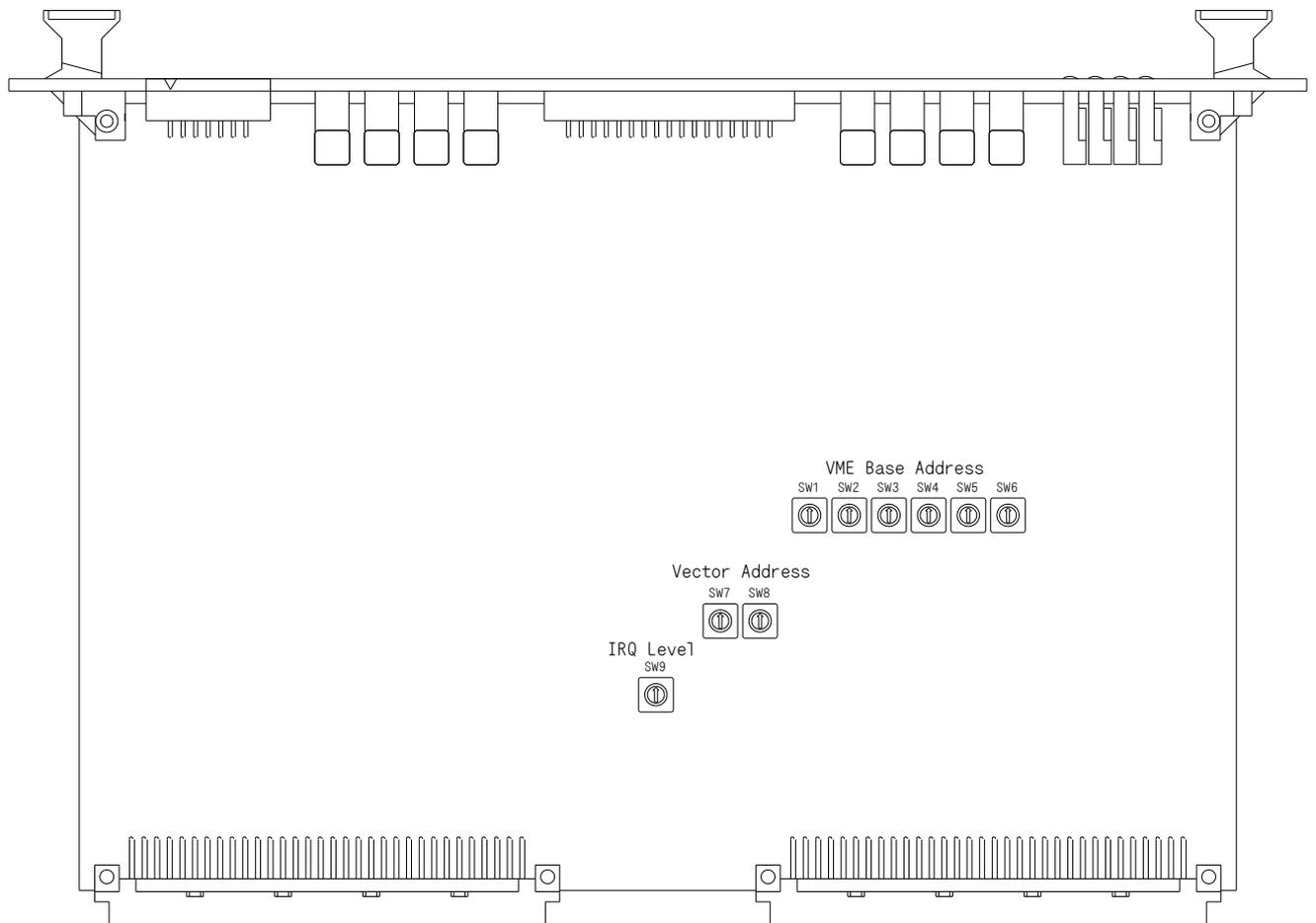
VME バスの割り込み応答サイクルで、D0-D7 のデータバスに送出するベクタ・アドレス (VMEbus 規格書ではステータス/ID)を設定します。



4.3 IRQ Level

VME バスの割り込みレベルを設定します。

SW9	IRQ Level
Off	0 / 8
IRQ1	1 / 9
IRQ2	2 / A
IRQ3	3 / B
IRQ4	4 / C
IRQ5	5 / D
IRQ6	6 / E
IRQ7	7 / F



5. User Program FPGA のピンアサイン

下記リストの信号は全て正論理です。

Name	Pin No.	IOSTANDARD	TERMINATION	I/O	Comment
A[0]	P178	LVTTL		IN	VME Address バスの下位 8 ビット
A[1]	P179	LVTTL			
A[2]	P180	LVTTL			
A[3]	P181	LVTTL			
A[4]	P183	LVTTL			
A[5]	P184	LVTTL			
A[6]	P185	LVTTL			
A[7]	P187	LVTTL			
CLOCK	P177	LVTTL		IN	50MHz クロック (GCLK4 への入力)
LVDS_CLKp	P74	LVDS_25		IN	LVDSp[0]の GCLK12 への入力
LVDS_CLKn	P75	LVDS_25		IN	LVDSn[0]の GCLK13 への入力
LVDSp[0]	P49	LVDS_25	DIFF_TERM	I/O	16ch LVDS 信号入出力 FPGA 内部の差動終端抵抗をイネーブ
LVDSn[0]	P50	LVDS_25	DIFF_TERM		
LVDSp[1]	P47	LVDS_25	DIFF_TERM		
LVDSn[1]	P48	LVDS_25	DIFF_TERM		
LVDSp[2]	P41	LVDS_25	DIFF_TERM		
LVDSn[2]	P42	LVDS_25	DIFF_TERM		
LVDSp[3]	P39	LVDS_25	DIFF_TERM		
LVDSn[3]	P40	LVDS_25	DIFF_TERM		
LVDSp[4]	P35	LVDS_25	DIFF_TERM		
LVDSn[4]	P36	LVDS_25	DIFF_TERM		
LVDSp[5]	P33	LVDS_25	DIFF_TERM		
LVDSn[5]	P34	LVDS_25	DIFF_TERM		
LVDSp[6]	P30	LVDS_25	DIFF_TERM		
LVDSn[6]	P31	LVDS_25	DIFF_TERM		
LVDSp[7]	P28	LVDS_25	DIFF_TERM		
LVDSn[7]	P29	LVDS_25	DIFF_TERM		
LVDSp[8]	P24	LVDS_25	DIFF_TERM		
LVDSn[8]	P25	LVDS_25	DIFF_TERM		
LVDSp[9]	P22	LVDS_25	DIFF_TERM		
LVDSn[9]	P23	LVDS_25	DIFF_TERM		
LVDSp[10]	P18	LVDS_25	DIFF_TERM		
LVDSn[10]	P19	LVDS_25	DIFF_TERM		
LVDSp[11]	P15	LVDS_25	DIFF_TERM		
LVDSn[11]	P16	LVDS_25	DIFF_TERM		
LVDSp[12]	P11	LVDS_25	DIFF_TERM		
LVDSn[12]	P12	LVDS_25	DIFF_TERM		
LVDSp[13]	P8	LVDS_25	DIFF_TERM		
LVDSn[13]	P9	LVDS_25	DIFF_TERM		
LVDSp[14]	P4	LVDS_25	DIFF_TERM		
LVDSn[14]	P5	LVDS_25	DIFF_TERM		
LVDSp[15]	P2	LVDS_25	DIFF_TERM		
LVDSn[15]	P3	LVDS_25	DIFF_TERM		
NIM_CLK	P186	LVTTL		IN	NIMIN[0]の GCLK11 への入力
NIMIN[0]	P202	LVTTL		IN	フロントパネルの IN1-IN4 入力
NIMIN[1]	P203	LVTTL			
NIMIN[2]	P204	LVTTL			
NIMIN[3]	P205	LVTTL			

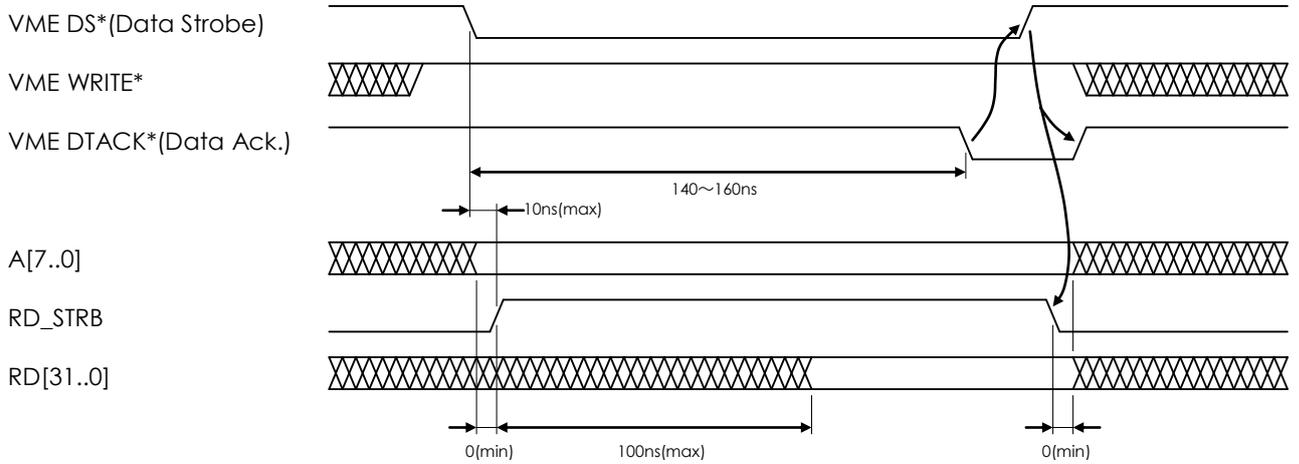
INIT	P124	LVTTTL		IN	Power on reset + VME reset
IRQ	P64	LVC MOS25		OUT	VME への割込み出力
LED[0]	P189	LVTTTL		OUT	LED1-LED8 の制御出力
LED[1]	P190	LVTTTL			
LED[2]	P192	LVTTTL			
LED[3]	P193	LVTTTL			
LED[4]	P196	LVTTTL			
LED[5]	P197	LVTTTL			
LED[6]	P199	LVTTTL			
LED[7]	P200	LVTTTL			
NIMOUT[0]	P63	LVC MOS25		OUT	フロントパネルの OUT1-OUT4 出力
NIMOUT[1]	P62	LVC MOS25			
NIMOUT[2]	P61	LVC MOS25			
NIMOUT[3]	P60	LVC MOS25			
RD[0]	P106	LVTTTL		OUT	FPGA から VME への 32bit リードデータ
RD[1]	P107	LVTTTL			
RD[2]	P108	LVTTTL			
RD[3]	P109	LVTTTL			
RD[4]	P112	LVTTTL			
RD[5]	P113	LVTTTL			
RD[6]	P115	LVTTTL			
RD[7]	P116	LVTTTL			
RD[8]	P119	LVTTTL			
RD[9]	P120	LVTTTL			
RD[10]	P122	LVTTTL			
RD[11]	P123	LVTTTL			
RD[12]	P126	LVTTTL			
RD[13]	P127	LVTTTL			
RD[14]	P128	LVTTTL			
RD[15]	P129	LVTTTL			
RD[16]	P102	LVC MOS25	PULLUP		
RD[17]	P100	LVC MOS25	PULLUP		
RD[18]	P99	LVC MOS25	PULLUP		
RD[19]	P98	LVC MOS25	PULLUP		
RD[20]	P97	LVC MOS25	PULLUP		
RD[21]	P96	LVC MOS25	PULLUP		
RD[22]	P94	LVC MOS25	PULLUP		
RD[23]	P93	LVC MOS25	PULLUP		
RD[24]	P90	LVC MOS25	PULLUP		
RD[25]	P89	LVC MOS25	PULLUP		
RD[26]	P83	LVC MOS25	PULLUP		
RD[27]	P82	LVC MOS25	PULLUP		
RD[28]	P78	LVC MOS25	PULLUP		
RD[29]	P77	LVC MOS25	PULLUP		
RD[30]	P76	LVC MOS25	PULLUP		
RD[31]	P69	LVC MOS25	PULLUP		
RD_STRB	P174	LVTTTL		IN	データ読出しストロブ信号
UDI[0]	P110	LVTTTL		IN	VME I/F から FPGA へのユーザ定義入力信号(Reserved)
UDI[1]	P118	LVTTTL			
UDO[0]	P68	LVC MOS25		OUT	FPGA から VME I/F へのユーザ定義出力信号(Reserved)
UDO[1]	P65	LVC MOS25			
WD[0]	P132	LVTTTL			
WD[1]	P133	LVTTTL			

WD[2]	P134	LVTTL			
WD[3]	P135	LVTTL			
WD[4]	P136	LVTTL			
WD[5]	P137	LVTTL			
WD[6]	P138	LVTTL			
WD[7]	P139	LVTTL			
WD[8]	P140	LVTTL			
WD[9]	P142	LVTTL			
WD[10]	P144	LVTTL			
WD[11]	P145	LVTTL			
WD[12]	P146	LVTTL			
WD[13]	P147	LVTTL			
WD[14]	P148	LVTTL			
WD[15]	P150	LVTTL			
WD[16]	P151	LVTTL		IN	VME から FPGA への 32bit ライトデータ
WD[17]	P152	LVTTL			
WD[18]	P153	LVTTL			
WD[19]	P154	LVTTL			
WD[20]	P159	LVTTL			
WD[21]	P160	LVTTL			
WD[22]	P161	LVTTL			
WD[23]	P162	LVTTL			
WD[24]	P163	LVTTL			
WD[25]	P164	LVTTL			
WD[26]	P165	LVTTL			
WD[27]	P167	LVTTL			
WD[28]	P168	LVTTL			
WD[29]	P169	LVTTL			
WD[30]	P171	LVTTL			
WD[31]	P172	LVTTL			
WR_STRB	P175	LVTTL		IN	データ書込みストローク信号

Xilinx の統合デザイン開発環境 ISE により作成された I/O ピン、および制約内容の定義ファイル VLupo_FPGA.ucf があります。FPGA 開発の際にはそれを参考にしてください。

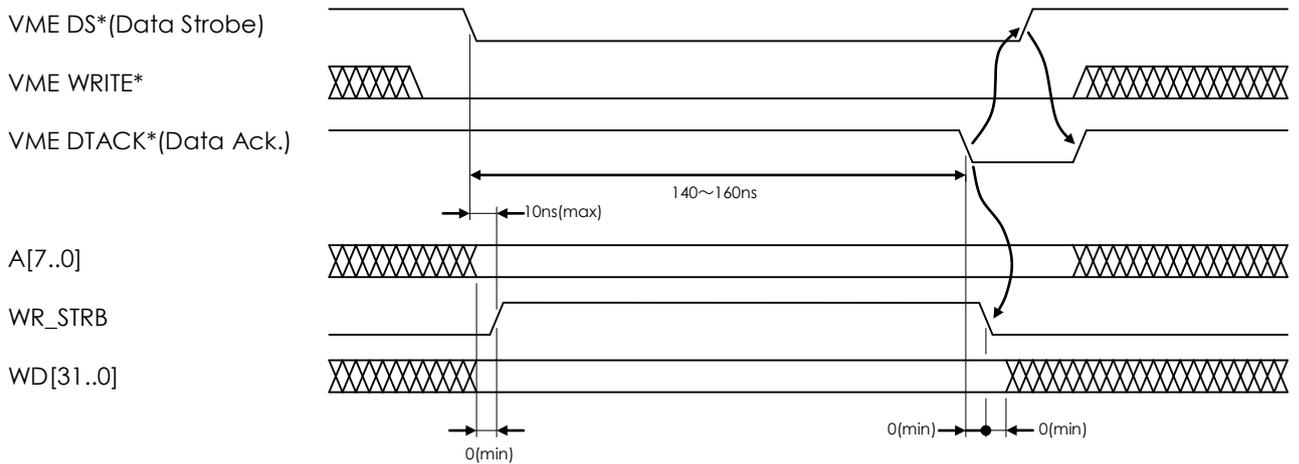
6. リード、ライトタイミング

6.1 リード・タイミング



FPGA では RD_STRB 信号が"1"になってから少なくとも 100ns 以内にリード・データを送出し、RD_STRB 信号が"0"になるまでそのレベルを維持します。

6.2 ライト・タイミング



FPGA では WR_STRB 信号の立下りエッジでライト・データを内部レジスタに取り込みます。